



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09093577 A**(43) Date of publication of application: **04.04.97**

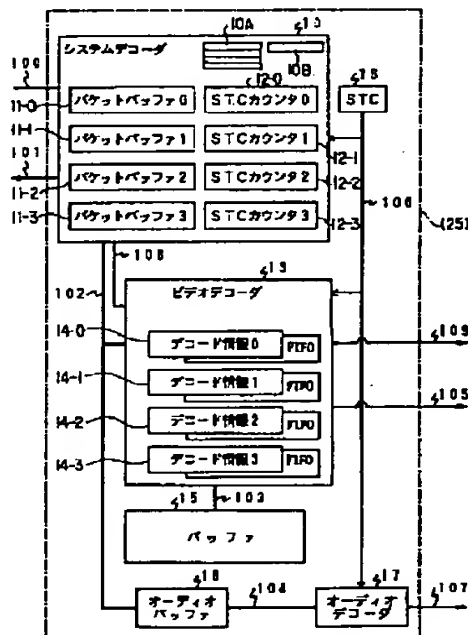
(51) Int. Cl. **H04N 7/24**
H04N 5/92
H04N 7/08
H04N 7/081
// H03M 7/00

(21) Application number: **07251253**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **28.09.95**(72) Inventor: **SHIBAHARA AKIHIKO****(54) MOVING IMAGE DECODER****(57) Abstract:**

PROBLEM TO BE SOLVED: To process plural MPEG data streams with a single MPEG(moving picture image coding expert group) hardware decoder.

SOLUTION: A system decoder 10 processing an MPEG data stream is provided with plural packet buffers 11-0, 11-1,... and a function of controlling an output of data stored in the packet buffers synchronously with a system time clock supplied from an STC(system time clock) module 18. Then a video decoder 13 is provided with plural record information registers 14-0, 14-1,... storing plural sets of decode information corresponding to plural data streams respectively and plural data buffers (FIFO) storing data of decode object to process plural moving image data streams with a single hardware decoder.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-93577

(43)公開日 平成9年(1997)4月4日

(51)IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	7/24		H 0 4 N 7/13	Z
	5/92	9382-5K	H 0 3 M 7/00	
	7/08		H 0 4 N 5/92	H
	7/081		7/08	Z
// H 0 3 M	7/00			

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21)出願番号 特願平7-251253

(22)出願日 平成7年(1995)9月28日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 芝原 昭彦

東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

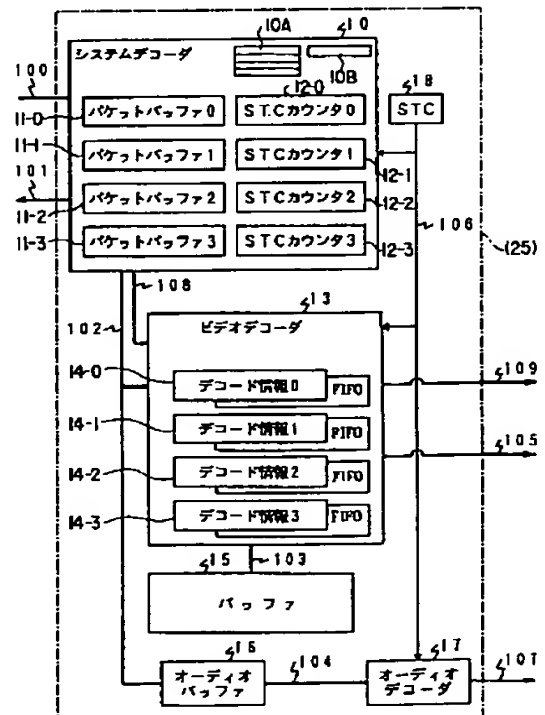
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 動画像デコード装置

(57)【要約】

【課題】本発明は、単一のMPEGハードウェアデコーダにより複数のMPEGデータストリームを扱うことができる構成としたことを特徴とする。

【解決手段】MPEGデータストリームを扱うシステムデコーダ10に、複数のパケットバッファ11-0、11-1、…と、このパケットバッファに貯えられたデータをSTCモジュール18より供給されるシステムタイムクロックに同期して出力制御する機能とを設け、ビデオデコーダ13に、複数のデータストリームに対応する複数の組のデコード情報をそれぞれ個別に格納する複数のレコード情報レジスタ14-0、14-1、…と、このレジスタに対応して、デコード対象となるデータを貯える複数のデータバッファ(FIFO)とを設けて、単一のハードウェアデコーダにより複数の動画像データストリームを扱うことができる構成としたことを特徴とする。



【特許請求の範囲】

【請求項1】 複数のビデオパケットをそれぞれ個別に貯える複数のパケットバッファと、この複数のパケットバッファに貯えられたデータを外部より供給される信号に同期して出力制御する手段と、上記複数のパケットバッファの状態を外部に通知する手段とを具備し、単一のハードウェアリソースで複数の動画像データストリームを扱うことができるようにしたことを特徴とするシステムデコーダ。

【請求項2】 システムストリームの中に含まれているストリームIDを識別して格納先パケットバッファを決定する手段をもつ請求項1記載のシステムデコーダ。

【請求項3】 複数のパケットバッファそれぞれに対応して、データストリーム中に含まれる同期データを更新制御する手段をもつ請求項1記載のシステムデコーダ。

【請求項4】 複数のパケットバッファを構成する複数のFIFOバッファと、このFIFOバッファに対応して設けられた同期制御のためのSTCカウンタと、上記FIFOバッファのデータを管理する制御レジスタとを内蔵してなる請求項1記載のシステムデコーダ。

【請求項5】 複数の動画像データストリームをデコードするための各データストリームに対応する複数のデコード情報をそれぞれ個別に格納する複数のレジスタを内蔵して、複数の動画像データストリームの再生を単一のハードウェアリソースで実行できるようにしたことを特徴とするビデオデコーダ。

【請求項6】 複数の動画像データストリームをデコードするための各データストリームに対応する複数のデコード情報をそれぞれ個別に格納する複数のレジスタと、

このレジスタに対応して設けられ、それぞれデコード対象となるデータを貯えるFIFOバッファと、上記レジスタの1つを選択し、当該レジスタに貯えられたデコード情報をもとに対応するFIFOバッファに貯えられたデータをデコード処理するデコーダ本体とを具備して、複数の動画像データストリームの再生を単一のハードウェアリソースで実行できるようにしたことを特徴とするビデオデコーダ。

【請求項7】 複数の動画像データストリームをそれぞれ個別に貯える複数の記憶手段をもつシステムデコーダと、このシステムデコーダの記憶手段に貯えられた複数の動画像データストリームを再生するための複数のデコード情報をそれぞれ個別に貯える複数の記憶手段をもつビデオデコーダとを具備して、単一のハードウェアリソースで複数の動画像データストリームをリアルタイムに再生できることを特徴とする動画像デコード装置。

【請求項8】 サウンドデータを含む複数の動画像データストリームをそれぞれ個別に貯える複数の記憶手段をもつシステムデコーダと、このシステムデコーダの記憶

手段に貯えられた複数の動画像データストリームを再生するための複数のデコード情報をそれぞれ個別に貯える複数の記憶手段をもつビデオデコーダと、このビデオデコーダのフレームデータ処理を含むデコード処理に供される作業用バッファと、上記データストリーム中のサウンドデータを動画像に同期して再生出力するサウンドバッファ及びサウンドデコーダとを具備してなることを特徴とするMPEGデコーダ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の動画像データストリーム（例えばMPEGシステムストリーム）の再生機能を単一ハードウェアリソースにより実現可能にした動画像デコード装置に関する。

【0002】

【従来の技術】MPEGで圧縮された動画像データを再生するためのMPEGハードウェアデコーダの代表的なものとして、SIGMA DESIGNS社製のReal Magicがある。このハードウェアデコーダの性能は、352×240ドットサイズのカラー動画を30fps（frame per second）の速度でデコードすることができる。

【0003】しかしながら、上記した従来のハードウェアデコーダに於いては、再生できるMPEGデータストリームが1つ（1本）に限られ、複数のMPEGデータストリームを再生することはできない。従って複数のMPEGデータストリームを再生しようすると、同時に扱う複数のMPEGデータストリームそれぞれに対して独立したMPEGハードウェアデコーダが必要となり、構成の複雑化、装置の大型化、及びコストの大幅な上昇等、種々の不都合を招く。

【0004】

【発明が解決しようとする課題】上記したように、従来のハードウェアデコーダは、再生できるMPEGデータストリームが1つに限定され複数のMPEGストリームを再生することができないことから、複数のMPEGデータストリームを再生しようすると、同時に扱う複数のMPEGデータストリームそれぞれに対して独立したMPEGハードウェアデコーダが必要となり、構成の複雑化、装置の大型化、及びコストの大幅な上昇等、種々の不都合を招くという問題があった。

【0005】本発明は上記実情に鑑みなされたもので、ハードウェアデコーダ内部に複数のMPEGデータストリームを再生可能にするための複数のバッファを用意して、単一のハードウェアリソースで複数の動画像データストリームを扱うことができるようにした動画像デコード装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、MPEGハードウェアデコーダに設けられたシステムデコーダの内部に、複数のビデオパケットを格納するパケットバッファ

を設け、ビデオデコーダの内部に、複数のビデオストリームをデコードするためのデコード情報を格納する複数のレジスタを設けて、音声を含む複数のMPEGシステムストリームの再生を1つのハードウェアリソースで再生することができるようにしたことを特徴とする。

【0007】即ち本発明は、動画像データストリームを扱うシステムデコーダに、複数のビデオパケットをそれぞれ個別に貯える複数のパケットバッファと、この複数のパケットバッファに貯えられたデータを外部より供給される信号に同期して出力制御する手段と、上記複数のパケットバッファの状態を外部に通知する手段とを具備して、単一のシステムデコーダで複数の動画像データストリームを扱うことができるようにしたことを特徴とする。

【0008】又、本発明は、動画像データストリームを扱うビデオデコーダに、複数の動画像データストリームをデコードするための各データストリームに対応する複数のデコード情報をそれぞれ個別に格納する複数のレジスタを内蔵して、複数の動画像データストリームの再生を単一のビデオデコーダで実行できるようにしたことを特徴とする。

【0009】又、本発明は、動画像データストリームを扱うビデオデコーダに、複数の動画像データストリームをデコードするための各データストリームに対応する複数のデコード情報をそれぞれ個別に格納する複数のレジスタと、このレジスタに対応して設けられ、それぞれデコード対象となるデータを貯える複数のFIFOバッファと、上記レジスタの1つを選択し、当該レジスタに貯えられたデコード情報をもとに対応するFIFOバッファに貯えられたデータをデコード処理するデコーダ本体とを具備して、複数の動画像データストリームの再生を単一のビデオデコーダで実行できるようにしたことを特徴とする。

【0010】又、本発明は、動画像データストリームを再生する動画像デコード装置に於いて、複数の動画像データストリームをそれぞれ個別に貯える複数の記憶手段をもつシステムデコーダと、このシステムデコーダの記憶手段に貯えられた複数の動画像データストリームを再生するための複数のデコード情報をそれぞれ個別に貯える複数の記憶手段をもつビデオデコーダとを具備して、単一のハードウェアリソースで複数の動画像データストリームをリアルタイムに再生できることを特徴とする。

【0011】又、本発明は、サウンドデータを含む複数の動画像データストリームをそれぞれ個別に貯える複数の記憶手段をもつシステムデコーダと、このシステムデコーダの記憶手段に貯えられた複数の動画像データストリームを再生するための複数のデコード情報をそれぞれ個別に貯える複数の記憶手段をもつビデオデコーダと、このビデオデコーダのフレームデータ処理を含むデ

コード処理に供される作業用バッファと、上記データストリーム中のサウンドデータを動画像に同期して再生出力するサウンドバッファ及びサウンドデコーダとを具備してなるMPEGデコーダを特徴とする。

【0012】

【発明の実施の形態】以下図面を参照して本発明の一実施形態を説明する。図1は本発明の一実施形態によるMPEGハードウェアデコーダの構成を示すブロック図であり、図2は図1に示すMPEGハードウェアデコーダを用いたMPEGデコードシステムの構成を示すブロック図である。

【0013】図1に示す、この発明の一実施形態による、MPEGハードウェアデコーダは、複数（ここでは4つ（4本）とする）のMPEGデータストリームを扱うシステムデコーダ10と、このシステムデコーダ10より受ける4つ（4本）のMPEGデータストリームをそれぞれ個別にデコード処理するビデオデコーダ13と、このビデオデコーダ13がデコード過程に於いてIピクチャ、Pピクチャ等のフレームデータの一時記憶等に使用するデコード用バッファ15と、MPEGデータストリーム中の動画像に付随するオーディオデータを一時記憶するオーディオバッファ16と、このオーディオバッファ16に貯えられたデータを再生出力するためのオーディオデコーダ17と、再生の同期をとるためのSTC（システムタイムクロック）モジュール18とを主な要素として構成される。

【0014】上記MPEGハードウェアデコーダの構成要素をなすシステムデコーダ10と、ビデオデコーダ13と、オーディオバッファ16とはそれぞれシステム内部の専用バス102を介して接続される。

【0015】システムデコーダ10、ビデオデコーダ13、及びオーディオデコーダ17には、線路106を介してSTC18より出力されるクロック（システムタイムクロック）が供給される。

【0016】システムデコーダ10には、システムバス100を介して、図2に示すCDドライブ24から読出された最大4つ（4本）のMPEGデータストリームの各MPEGデータがパケット単位で供給される。

【0017】システムデコーダ10は、信号線101を介して、図2に示す割り込みコントローラ21に割り込み信号を出力する。又、信号線108を介して、ビデオデコーダ13にストリーム選択信号（0～3）を出力する。

【0018】ビデオデコーダ13は、内部の専用バス105を介して図2に示す表示コントローラ（VGA）28にフレームデータを送出するとともに、信号線109を介して同じく表示コントローラ（VGA）28にフレーム識別信号（0～3）を送出する。

【0019】又、ビデオデコーダ13は、デコード処理過程に於けるIピクチャ、Pピクチャ等のフレームデー

タを内部の専用バス103を介してデコード用バッファ15にライトしリードする。尚、デコード用バッファ15は、ここでは最大8つのフレームデータを格納することができる。

【0020】オーディオデコーダ17は信号線107を介して図2に示すオーディオ増幅器(AMP)26に動画像に同期したアナログオーディオ信号を送出する。上記したシステムデコーダ10の内部には、上記システムバス100を介して図2に示すCDドライブ24から読出された最大4種(4本)のMPEGデータストリーム10の各MPEGデータをビデオパケット単位でそれぞれストリーム毎に個別に貯える4個のFIFO構造によるパケットバッファ11-0, 11-1, 11-2, 11-3が設けられるとともに、この各パケットバッファ11-0, 11-1, 11-2, 11-3に付随して4個のSTCカウンタ12-0, 12-1, 12-2, 12-3、及び図3に示すパケットバッファステータスレジスタ10Aが設けられる。

【0021】更に上記システムデコーダ10の内部には、図4(a)~(e)に示すような、ステータスレジスタ情報、デコードレジスタ情報、登録ID入手レジスタ情報、ID登録レジスタ情報、ID削除レジスタ情報等の各種の制御情報を生成するための制御レジスタ10Bが設けられる。

【0022】又、上記したビデオデコーダ13の内部には、4つ(4本)のMPEGデータストリームをそれぞれデコードするための各データストリームに対応する4つ(4本)のデコード情報をそれぞれ個別に格納する4個のレコード情報レジスタ14-0, 14-1, 14-2, 14-3が設けられるとともに、各データストリーム毎にそれぞれデコード対象となるデータを貯えるFIFO構造のデータバッファ(FIFO)が設けられる。

【0023】図2は上記した図1に示すMPEGハードウェアデコーダを含む、MPEGデコードシステムの構成を示すブロック図であり、ここでは図中の符号25が図1に示したMPEGハードウェアデコーダである。

【0024】図2に於いて、20はMPEGデコードシステム全体の制御を司るCPUであり、ここではシステムデコーダ10との間で図4に示すような各種制御情報をアクセスして、図5に示すようなドライバ制御処理、及び、図6、図8に示すようなドライバのストリームマルチプレクサ処理の各制御を司る。

【0025】21は割り込み要求信号線101を介して受けた割り込み要求信号に従いCPU20に対して割り込みを発生する割り込みコントローラであり、ここでは上記図1に示すMPEGハードウェアデコーダ25のシステムデコーダ10から受けた割り込み要求信号、及び後述するSCSIインターフェース23、表示コントローラ(VGA)28等から受けた割り込み要求信号に従い、CPU20に対して割り込みを発生する。

【0026】22はCPU20により実行される各種プ

ログラムの格納領域、作業領域等が形成されるRAMであり、ここでは図6及び図8に示すような処理を行なうためのストリームマルチプレクサドライバ(DRV)、及び当該ストリームマルチプレクサドライバ(DRV)が使用する図7に示すようなストリーム登録配列データ領域(DA)が設けられる。

【0027】23はSCSIインターフェースであり、ここではCPU20の制御の下に、CDドライブ24よりリードしたMPEGデータをシステムバス100を介してMPEGハードウェアデコーダ25に送出する。

【0028】24はSCSIケーブル110を介してSCSIインターフェース23に接続されたCDドライブであり、ここではそれぞれが異なるビデオストリームIDをもつ複数のMPEGデータストリームが格納されているものとする。

【0029】25は上記した図1に示す構成のMPEGハードウェアデコーダであり、上述したように、MPEGデータストリームをそれぞれ個別に貯える4つのパケットバッファ11-0, 11-1, 11-2, 11-3を内蔵したシステムデコーダ10と、同じく4つのレコード情報レジスタ14-0, 14-1, 14-2, 14-3を内蔵したビデオデコーダ13とを有して、単一のハードウェアリソースで複数のMPEGデータストリームをリアルタイムに再生できる構成としている。

【0030】26はMPEGハードウェアデコーダ25に設けられたオーディオデコーダ17より出力されるアナログオーディオ信号を信号線107を介して入力しオーディオ増幅するオーディオ増幅器(AMP)である。27はオーディオ増幅器(AMP)26より出力されたアナログオーディオ信号に従う可聴周波数帯の音声(サウンド)を出力するスピーカである。

【0031】28はCPU20の制御の下に表示制御を行なう表示コントローラ(VGA)であり、ここではMPEGハードウェアデコーダ25、又はソフトウェアデコーダより生成されるフレームデータに従う表示画面を表示出力制御する。

【0032】29は表示コントローラ(VGA)28の表示制御の下に各種の表示画面情報を可視画像として表示出力するモニタであり、ここではMPEGハードウェアデコーダ25、又はソフトウェアデコーダより生成されるフレームデータに従う表示画面を表示出力する。

【0033】上記したCPU20、割り込みコントローラ21、RAM22、SCSIインターフェース23、MPEGハードウェアデコーダ25、及び表示コントローラ(VGA)28等の各システム構成要素はアドレス及びデータラインをもつシステムバス100を介して相互に接続される。

【0034】割り込みコントローラ21は、割り込み要求信号線101を介してSCSIインターフェース23、MPEGハードウェアデコーダ25、表示コントローラ

(VGA) 28等より割り込み信号を受付け、割り込み要求信号線113を介してCPU20に割り込み信号を送出する。

【0035】又、MPEGハードウェアデコーダ25は、システム内部の専用バス105及び信号線115を介して表示コントローラ(VGA)28にフレームデータ及びフレーム識別信号(0~3)を送出する。

【0036】SCSIインタフェース23は、CDドライブ24よりリードアクセスされたMPEGデータをSCSIケーブル110を介して入力し、CPU20の制御の下に、システムバス100上に送出する。このシステムバス100上に送出されたMPEGデータはMPEGハードウェアデコーダ25に送出されてデコードされ、又はソフトウェアデコーダによりデコードされて、表示コントローラ(VGA)28に送出される。

【0037】図3は上記MPEGハードウェアデコーダ25のシステムデコーダ10に設けられたバッファステータスレジスタ10Aの内部レジスタ配列構成を示す図である。このバッファステータスレジスタ10Aの内容を参照して制御レジスタ10B上に図4に示す各種の制御情報が生成される。

【0038】このバッファステータスレジスタ10Aのレジスタ配列は4つの要素を持ち、それぞれ、ストリームID、動作モード、PTSオフセット、PTS初期値を書き込む領域がある。

【0039】図4は上記システムデコーダ10内の制御レジスタ10B上に生成される各制御情報のデータ構造を示す図であり、ここでは制御レジスタ10B上に生成される各制御情報をそれぞれレジスタ情報と称し、CPU20がアクセスできるレジスタ情報の種類として、ステータスレジスタ情報、デコード制御レジスタ情報、登録IDの入手レジスタ情報、ID登録レジスタ情報、ID削除レジスタ情報等がある。

【0040】図5は上記RAM22上に置かれたストリームマルチプレクサドライバ(DRV)を制御するためのデコーダアプリケーションでのストリームマルチプレクサ処理の制御手順を示すフローチャートである。

【0041】図6は上記RAM22上に置かれたストリームマルチプレクサドライバ(DRV)により実行されるストリームマルチプレクサ処理の手順を示すフローチャートである。

【0042】図7は上記RAM22上に置かれた、ストリームマルチプレクサドライバ(DRV)のストリーム登録配列データ領域(DA)の構成を示す図であり、ここでは4つの各ストリームに対して、それぞれ配列番号(0~3)、ファイル名、ストリームID、動作モードが登録される。

【0043】図8は上記ストリームマルチプレクサ処理に於ける割り込み処理ルーチンの流れを示すフローチャートであり、システムデコーダ10から発生される、バ

ケットバッファ(FIFOバッファ)11-i(i=0~3)の空(empty)状態を通知するための割り込み要求がCPU20に受け付けられる度に実行される。

【0044】図9はシステムストリームの構造(a)と、バックデータの構造(b)を示す図、図10はシステムヘッダの構造を示す図、図11はパケットデータの構造を示す図である。

【0045】ここで上記各図を参照して本発明の実施形態に於ける動作を説明する。この実施形態に於いては、MPEGハードウェアデコーダ25で再生できるMPEGシステムストリームの条件として、それぞれに含まれるビデオストリームIDが異なっているものとする。また再生速度は、MPEGハードウェアデコーダ25で扱うことのできる4つ(4本)のストリームについてそれぞれのPTSオフセットの更新を10msecとしたことから、この実施形態に於いては25fpsとする。

【0046】CPU20は、システムデコーダ10から、図4に示す各種制御レジスタ情報をアクセスする。システムデコーダ10がCPU20からアクセスされる制御レジスタ情報の種類には、図4(a)に示すような構造をなすステータスレジスタ情報、同図(b)に示すような構造をなすデコード制御レジスタ情報、同図

(c)に示すような構造をなす登録IDの入手レジスタ情報、同図(d)に示すような構造をなすID登録レジスタ情報、及び同図(e)に示すような構造をなすID削除レジスタ情報等がある。これらの各制御レジスタ情報はCPU20がシステムデコーダ10の内部アドレスを指定することで制御レジスタ10B上に生成されアクセスされる。

【0047】上記各制御レジスタ情報のうち、ステータスレジスタ情報のアクセスは、システムデコーダ10の内部アドレスで“0x00”、“0x01”、“0x02”、“0x03”をアクセスすることで行なわれ、“0x00”をアクセスしたときは、バッファ0(11-0)に設定されているビデオストリームに対してのステータスを返し、“0x01”をアクセスしたときは、バッファ1(11-1)に設定されているビデオストリームに対してのステータスを返し、“0x02”をアクセスしたときは、バッファ2(11-2)に設定されているビデオストリームに対してのステータスを返し、“0x03”をアクセスしたときは、バッファ3(11-3)に設定されているビデオストリームに対してのステータスを返す。

【0048】ステータスレジスタ情報の項目には、図4(a)に示すように、動作ステータス[A]、FIFO empty(バッファ11-iの空状態)[B]、FIFO full(バッファ11-iの満状態)[C]、及びストリームID[D]等がある。

【0049】動作ステータス[A]は、ストリームIDのステータスであり、Play(再生)のとき“0x0

10

20

30

40

50

1”、Stop (停止) のとき “0 x 0 0”、Pause (休止) のとき “0 x 0 2”、Step (コマ送り) のとき “0 x 0 3” が設定されている。

【0050】FIFO empty [B]、FIFO full [C] の項目には、該当するバッファ (0 ~ 3) 11-0, 11-1, 11-2, 11-3が空状態 (empty) のとき、FIFO empty [B] に “1” が設定され、満状態 (full) のとき、FIFO full [C] に “1” が設定される。

【0051】デコード制御レジスタ情報のアクセスは、システムデコーダ10の内部アドレスで “0 x 0 4” をアクセスすることにより行なわれる。デコード制御レジスタ情報の項目には、図4 (b) に示すように、デコード制御情報 [A] とストリームID [B] とがあり、ストリームID [B] で指定されるストリームに対してステータスレジスタ情報の動作ステータスと同じデコード制御情報を指定する。

【0052】登録IDの入手レジスタ情報のアクセスは、システムデコーダ10の内部アドレスで “0 x 0 5” をアクセスすることで行なわれる。登録ID入手レジスタ情報の項目には、図4 (c) に示すように、登録されているストリームIDが4つある (ストリームID 0 [A]、ストリームID 1 [B]、ストリームID 2 [C]、ストリームID 3 [D])。登録されていないストリームIDには “0 x 0 0” が設定されている。

【0053】ID登録レジスタ情報のアクセスは、システムデコーダ10の内部アドレスで “0 x 0 6” をアクセスすることにより行なわれる。ID登録レジスタ情報の項目には、図4 (d) に示すように、配列番号 [B] と登録ID値 [A] とがあり、配列番号 [B] で示されるバッファ11-iに登録IDを割り当てる。

【0054】ID削除レジスタ情報のアクセスは、システムデコーダ10の内部アドレスで “0 x 0 7” をアクセスすることにより行なわれる。ID削除レジスタ情報の項目には、図4 (e) に示すように、配列番号 [A] とあり、この配列番号 [A] で指定されるストリームIDが削除される。

【0055】システムデコーダ10は、CPU20から、ID登録レジスタ情報によりID登録されると、図3に示すバッファステータスレジスタ10Aに、そのID登録レジスタで指定された配列番号に従う登録IDを書き込む。

【0056】このとき、動作モードの項目には、初期値としてStop (停止) を表わすコードが書き込まれる。そして、その配列番号と同じバッファ11-iに、指定されたストリームIDを持つバッファデータを格納する。

【0057】更にこの際、システムデコーダ10は、デコードするシステムストリームにあるバッファ情報で最初に現れるPTS値を図3のバッファステータス

レジスタ10AにあるPTS初期値項目に保存しておく。

【0058】この保存されたPTS値とPTSオフセットとの加算値は、次にID登録を行なうときに、登録するシステムストリームのPTS値と比較して同値でなければそのまま登録をし、同値であればID登録レジスタで指定された配列番号で示すPTSオフセットに “1 0” (10msec分のカウンタ値) を加える。この加えた値と他の保存されたPTS値を比較してそれぞれが同値でなければ、その加えた値をオフセットとして図3の配列番号に示されるPTSオフセット格納位置に保存する。又、同値であれば上記同様の動作を繰り返す。

【0059】システムデコーダ10は、CPU20から、デコード制御レジスタ情報がアクセスされると、ストリームIDで指定されるバッファステータスレジスタ10Aの動作モードの項目に、指定されたデコード制御情報を書き込む。

【0060】ここで指定できるデコード制御情報には、Play: “0 x 0 1”、Stop: “0 x 0 0”、Pause: “0 x 0 2”、Step: “0 x 0 3” の4種類がある。例えば、Stop: “0 x 0 0” から、Play: “0 x 0 1” に設定されると、システムデコーダ10は、動作モードが指定されたストリームのデコード処理を開始する。

【0061】CPU20からシステムバス100を介してシステムデコーダ10にシステムストリームデータが入力されると、システムデコーダ10は、当該データをビデオパケットとオーディオパケットとに分け、ビデオパケットに分けられたパケットデータのストリームIDを図3に示すバッファステータスレジスタ10AのストリームID項目と比較して、一致するところの配列番号で指定されるバッファ11-iに、そのビデオパケットデータを格納する。

【0062】システムデコーダ10のSTCカウンタ12は、STCモジュール18から入力されるシステムタイムクロックをカウントする。例えば、STCカウンタ0 (12-0) の値からPTSオフセット0の値を減算した値と、バッファ0 (11-0) に含まれるPTS/DTSが同値になると、システムデコーダ10は、ビデオデコーダ13に、信号線108を介してストリーム選択信号 (0) を送出するとともに、バッファ0 (11-0) に格納されているパケットデータを転送する。

【0063】この動作をバッファ0からバッファ3 (11-0 ~ 11-3) まで行なう。尚、それぞれのバッファ0 ~ 3 (11-0, 11-1, 11-2, 11-3) のいずれかが空状態 (empty) になると、システムデコーダ10は、信号線101を介して割り込みコントローラ21に割り込み要求信号を送出し、割り込みの発生を割り込みコントローラ21に通知する。

【0064】割り込みコントローラ21は、MPEGハ

ードウェアデコーダ25から割り込み要求信号の通知を受けると、信号線113を介しCPU20に対して、割り込みが起こったことを通知する。

【0065】CPU20は、割り込みの通知を受けると、図8に示すような割り込み処理ルーチンを起動し実行する。この割り込み処理ルーチンに関しては後に説明を加える。

【0066】ビデオデコーダ13は、システムデコーダ10から指定された（信号線108を介して送られた）ストリーム選択信号（0～3）に従って、デコード処理 10
に使用するデコード情報を選択する。

【0067】選択されるデコード情報は、図1に示す4つのレコード情報レジスタ14-0、14-1、14-2、14-3に貯えられた各デコード情報の中の1つである。このレコード情報レジスタ14-0、14-1、14-2、14-3に貯えられたデコード情報には、ビデオストリームに含まれるシーケンスヘッダの内容が含まれ、シーケンスヘッダが、ビデオストリーム中に現れると、その内容が上書きで更新される。

【0068】ビデオデコーダ13は、この情報を利用してシステムデコーダ10より送られてくるビデオストリーム情報をデコードする。この際、ビデオデコーダ13は、デコード過程でのIピクチャ、Pピクチャ等のフレームデータの格納先にデコード用バッファ15を使用する。このデコード用バッファ15は、最大8フレームデータを格納できる大きさをもつ。

【0069】ビデオデコーダ13でデコードされたフレームデータは、システム内部の専用バス105を介して表示コントローラ（VGA）28に送出される。これと同時に、信号線109を介してフレーム識別信号（0～ 30
3）が同じく表示コントローラ（VGA）28に送出される。

【0070】ここで、1つのシステムストリームをデコードする場合を考える。システムデコーダ10に対して、ID登録レジスタによって、配列番号0に登録するビデオパケットのストリームID0に登録する。

【0071】いまシステムデコーダ10に対してデコード制御レジスタにより、ストリームID0に、Play：“0x01”が設定されたとする。このとき、STCカウンタ12-0がリセットされる。

【0072】システムデコーダ10は、パケットバッファ11-0が空（empty）なので、信号線101を介して割り込み要求信号を割り込みコントローラ21に送出し割り込みの発生を通知する。

【0073】割り込みコントローラ21は、上記割り込み要求信号を受けると、CPU20に対して割り込みが起こったことを通知する。CPU20は、上記割り込みの通知を受けると、図8に示すような、ドライバのストリームマルチプレクサ処理に於ける割り込み処理ルーチンを起動する。

【0074】この割り込み処理ルーチンでは、パケットバッファステータスレジスタ10Aを参照し、FIFO emptyフラグがセットされているパケットバッファ11-iに対して、ストリームIDで指定されるファイルのバックデータをシステムバス100を介し、システムデコーダ10に転送する（図8ステップ400～403）。

【0075】システムデコーダ10は、入力されたパケットをパケットに分割して、パケットデータに含まれるストリームID（stream ID）を参照し、それぞれ指定されたパケットバッファ11-iに格納する。

【0076】このとき最初に現れたPTSデータを図3に示すパケットバッファステータスレジスタ10AのPTS初期値項目に格納する。そして前述した手段で比較して求められたオフセットを図3に示すパケットバッファステータスレジスタ10AのPTSオフセット0に格納する。

【0077】ストリームID0のパケットデータが、パケットバッファ（0）11-0に格納されると、STCモジュール18からのシステムタイムクロックをSTCカウンタ（0）12-0がカウントし始める。

【0078】そしてSTCカウンタ（0）12-0の値からPTSオフセット0を減算した値と、パケットバッファ（0）11-0に格納されているビデオパケットデータのPTS、DTSが同値になると、システムデコーダ10は、ストリーム0のストリーム選択信号（0）を信号線108を介しビデオデコーダ13に通知して、パケットバッファ（0）11-0に格納されているパケットデータから、ビデオストリームを取り出し、システム内部の専用バス102を介してビデオデコーダ13に転送する。

【0079】尚、オーディオパケットであれば、パケットに含まれるオーディオストリームをシステム内部の専用バス102を介してオーディオバッファ16に転送する。オーディオデコーダ17は、オーディオバッファ16に転送されたオーディオデータストリームをデコードし、そのデコードしたアナログオーディオ信号をアナログ信号線107に出力する。

【0080】ビデオデコーダ13では、入力されたストリーム選択信号に従い、レコード情報レジスタ14-0、14-1、14-2、14-3から1つのレジスタを選択し、デコード処理に使用するデコード情報を選択して、当該デコード情報によりデコード処理を行なう。

【0081】デコードされたフレームデータはシステム内部の専用バス105上に出力され、同時にフレーム識別信号が信号線109に出力される。このフレーム識別信号で指定される番号と、デコード情報を選択するとき用いられる番号は同じである。例えば、レコード情報レジスタ14-2のデコード情報2を使用してデコードされたフレームデータは、フレーム識別信号として「2」を指定する。

【0082】上記した動作は1つのシステムストリームをデコードする場合を考えたが、ここでは2つ目のシステムストリームを登録する場合を考える。システムデコーダ10に対して、ID登録レジスタ情報により、配列番号1に登録するビデオパケットのストリームID1を登録する。

【0083】登録の流れは上述した場合と同じであるが、PTSオフセットの算出作業が追加される。システムデコーダ10では、ストリームID1で示されるストリームがパケットバッファ1(11-1)に格納されると、最初に現われるPTS値と既に登録されている、PTS初期値とPTSオフセットの加算値との比較を行ない、同値であればPTSオフセット1に「10」を加算していく。全て比較が終了したときPTSオフセット1の内容が決定する。

【0084】ビデオデコーダ13に対してパケットデータに含まれるビデオストリームの転送のタイミングは、パケットバッファ1(11-1)に含まれるPTS値とSTCカウンタ1(12-1)からPTSオフセット1を減算した値が同値になったとき、ビデオデコーダ13に転送される。

【0085】ここで複数のストリームデータをMPEGハードウェアデコーダ25に供給制御する際の処理について説明する。MPEGハードウェアデコーダ25にシステムストリームを供給制御するためのストリームマルチプレクサドライバ(DRV)に対するデコーダアプリケーションの処理の流れを図5に示している。

【0086】ここでは、動作モードの設定であれば、ストリームマルチプレクサドライバ(DRV)に対して、設定対象のファイルに関しての動作モード(Play/Stop/Pause/Step)の通知を行なう(図5ステップ200, 201)。

【0087】又、ストリームファイルのオープン処理であれば、ストリームマルチプレクサドライバ(DRV)の図7に示すストリーム登録配列データ領域(DA)に対して、デコードを行なうストリームファイル名の登録を行なう(図5ステップ202, 203)。

【0088】この際、MPEGハードウェアデコーダ25に4つのストリーム全てのストリームファイル名が登録されているときは登録失敗となり、ハードウェアデコーダ25に代って、再生指示されたストリームに対応するソフトウェアデコーダの起動、及び再生が行なわれる(図5ステップ204, 205)。

【0089】上記したストリームマルチプレクサドライバ(DRV)の処理の流れを図6に示している。ここでは、上記図5に示すデコーダアプリケーションから動作モードの設定通知を受けると、システムデコーダ10に対してデコード制御レジスタ情報をアクセスして、デコード制御情報の書き込みを行なう(図6ステップ300, 306)。

【0090】また、動作モードの設定でないときは、デコーダアプリケーションから通知されたストリームのファイル名を図7に示すストリーム登録配列データ領域(DA)に登録する(図6ステップ301)。

【0091】この際、ストリームのファイル名が登録できないときはデコーダアプリケーションにエラーを通知して終了する(図6ステップ302, 303)。ストリームのファイル名を登録したときは、通知されたストリームのファイルからストリームIDを取り出し、システムデコーダ10に対してID登録レジスタ情報をアクセスすることにより、ストリームID値の登録を行なう(図6ステップ304, 305)。

【0092】上記したストリームマルチプレクサの内部にある、割り込み処理ルーチンの流れを図8に示している。システムデコーダ10からの割り込み要求がCPU20に受け付けられると、図8に示す割り込み処理ルーチンが実行され、図4(a)に示すステータスレジスタ情報をアクセスして、システムデコーダ10に登録されているストリームのステータスを入手し、カウント用の変数Iを「0」に設定する(図8ステップ400)。

【0093】次に配列番号IのFIFO emptyフラグをチェックし、当該フラグが立っていれば(「1」になっていれば)、配列番号Iで指定されるファイルからバックデータを取り出してシステムデコーダ10に転送する(図8ステップ401, 402, 403)。

【0094】次にカウント用の変数Iをインクリメントし、I>3のチェックを行ない、その結果が真となることにより、割り込み処理ルーチンを終了する(図8ステップ404, 405)。

【0095】図9にシステムストリームの構造(図(a))とバックデータの構造(図(b))を示している。バックには、システムヘッダ(system header())とパケットデータ(packet())が含まれる。

【0096】図10にシステムヘッダの構造を示している。システムヘッダの中のStream idが、ビデオまたはオーディオのストリームIDを示している。図11にパケットデータの構造を示している。パケットデータの中ではPTS(presentation time stamps)、DTS(decoding time stamp)と、ビデオストリームまたはオーディオストリームに該当するパケットデータサイズ(packetdata byte)を定義している。

【0097】上記したように、本発明の実施形態によれば、MPEGデータストリームを扱うシステムデコーダ10に、複数のビデオパケットをそれぞれ個別に貯える複数個のパケットバッファ11-0, 11-1, 11-2, 11-3と、このパケットバッファ11-0, 11-1, 11-2, 11-3に貯えられたデータをSTCモジュール18より供給されるシステムタイムクロックに同期して出力制御する機能とを設け、ビデオデコーダ13に、複数のデータストリームをデコードするための各データストリ

ームに対応する複数組のデコード情報をそれぞれ個別に格納する複数個のレコード情報レジスタ14-0, 14-1, 14-2, 14-3と、このレジスタ14-0, 14-1, 14-2, 14-3に対応して、デコード対象となるデータを貯える複数個のデータバッファ (FIFO) と、上記レジスタの1つを選択し、当該レジスタ14-iに貯えられたデコード情報をもとに対応するデータバッファ (FIFO) に貯えられたデータをデコード処理するデコーダ本体とを設けて、単一のハードウェアデコーダにより複数の動画像データストリームを扱うことができる構成としたことにより、複数のMPEGデータストリームを並行して扱うことのできるMPEGハードウェアデコーダを実現する際に、同時に扱う複数のMPEGデータストリームそれぞれに対して独立したMPEGハードウェアデコーダを設けることなく、簡単な構成で、安価にしかもコンパクトに実現できる。

【0098】

【発明の効果】以上詳記したように本発明によれば、ハードウェアデコーダ内部に複数のMPEGデータストリームを再生可能にするための複数組のバッファ、及び複数のストリーム制御機能を設けたことにより、単一のハードウェアリソースで複数の動画像データストリームをリアルタイムに再生できる動画像デコード装置が提供できる。

【0099】即ち本発明によれば、動画像データストリームを扱うシステムデコーダに、複数のビデオパケットをそれぞれ個別に貯える複数個のパケットバッファと、この複数個のパケットバッファに貯えられたデータを外部より供給される信号に同期して出力制御する手段と、上記複数個のパケットバッファの状態を外部に通知する手段とを具備してなる構成としたことにより、単一のシステムデコーダで複数の動画像データストリームをリアルタイムに再生することができる。

【0100】又、本発明によれば、動画像データストリームを扱うビデオデコーダに、複数の動画像データストリームをデコードするための各データストリームに対応する複数組のデコード情報をそれぞれ個別に格納する複数のレジスタを内蔵してなる構成としたことにより、複数の動画像データストリームの再生を単一のビデオデコーダで実行できる。

【0101】又、本発明によれば、動画像データストリームを扱うビデオデコーダに、複数の動画像データストリームをデコードするための各データストリームに対応する複数組のデコード情報をそれぞれ個別に格納する複数個のレジスタと、このレジスタに対応して設けられ、それぞれデコード対象となるデータを貯える複数個のFIFOバッファと、上記レジスタの1つを選択し、当該レジスタに貯えられたデコード情報をもとに対応するFIFOバッファに貯えられたデータをデコード処理するデコーダ本体とを具備してなる構成としたことにより、

複数の動画像データストリームの再生を単一のビデオデコーダで実行できる。

【0102】又、本発明によれば、動画像データストリームを再生する動画像デコード装置に於いて、複数の動画像データストリームをそれぞれ個別に貯える複数の記憶手段をもつシステムデコーダと、このシステムデコーダの記憶手段に貯えられた複数の動画像データストリームを再生するための複数組のデコード情報をそれぞれ個別に貯える複数の記憶手段をもつビデオデコーダとを具備してなる構成としたことにより、単一のハードウェアリソースで複数の動画像データストリームをリアルタイムに再生できる。

【0103】又、本発明によれば、サウンドデータを含む複数の動画像データストリームをそれぞれ個別に貯える複数の記憶手段をもつシステムデコーダと、このシステムデコーダの記憶手段に貯えられた複数の動画像データストリームを再生するための複数組のデコード情報をそれぞれ個別に貯える複数の記憶手段をもつビデオデコーダと、このビデオデコーダのフレームデータ処理を含むデコード処理に供される作業用バッファと、上記データストリーム中のサウンドデータを動画像に同期して再生出力するサウンドバッファ及びサウンドデコーダとを備えてMPEGデコーダを構成したことにより、単一のハードウェアリソースで複数の動画像データストリームをリアルタイムに再生できる。

【図面の簡単な説明】

【図1】本発明の実施形態によるMPEGハードウェアデコーダの構成を示すブロック図。

【図2】図1に示すMPEGハードウェアデコーダを含む、MPEGデコードシステムの構成を示すブロック図。

【図3】上記実施形態に於けるMPEGハードウェアデコーダ25のシステムデコーダ10に設けられたパケットバッファステータスレジスタ10Aの内部レジスタ配列構成を示す図。

【図4】上記実施形態に於ける、システムデコーダ10内の制御レジスタ10B上に生成される各制御情報のデータ構造を示す図。

【図5】上記実施形態に於ける、RAM22上に置かれたストリームマルチプレクサドライバ (DRV) を制御するのためのデコーダアプリケーションでのストリームマルチプレクサ処理の制御手順を示すフローチャート。

【図6】上記実施形態に於ける、RAM22上に置かれたストリームマルチプレクサドライバ (DRV) により実行されるストリームマルチプレクサ処理の手順を示すフローチャート。

【図7】上記実施形態に於ける、RAM22上に置かれたストリームマルチプレクサドライバ (DRV) のストリーム登録配列データ領域 (DA) の構成を示す図。

【図8】上記実施形態に於ける、ストリームマルチプレ

17

クサ処理に於ける割り込み処理ルーチンの流れを示すフローチャート。

【図9】システムストリームの構造(a)と、バックデータの構造(b)を示す図。

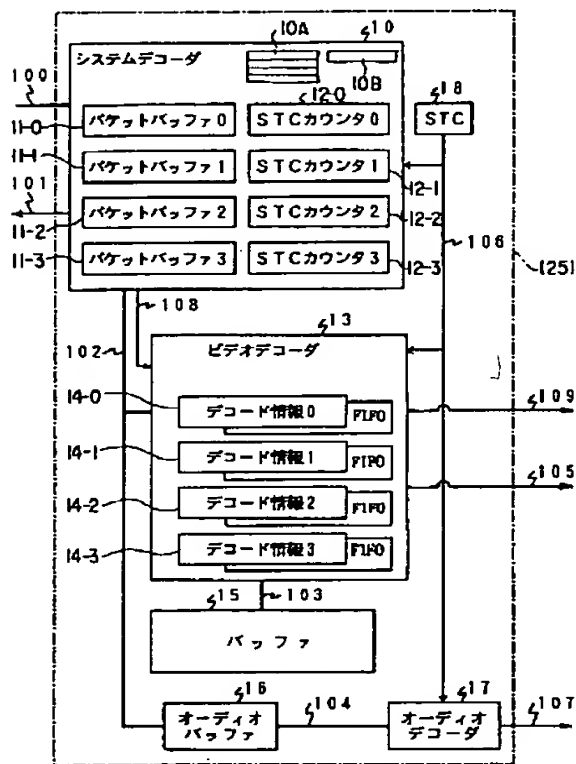
【図10】システムヘッダの構造を示す図。

【図11】パケットデータの構造を示す図。

【符号の説明】

10…システムデコーダ、10A…パケットバッファステータスレジスタ、10B…制御レジスタ、11-0、11-1、11-2、11-3…パケットバッファ、12-0、12-1、12-2、12-3…STCカウンタ、13…ビデオ

【図1】



【図3】

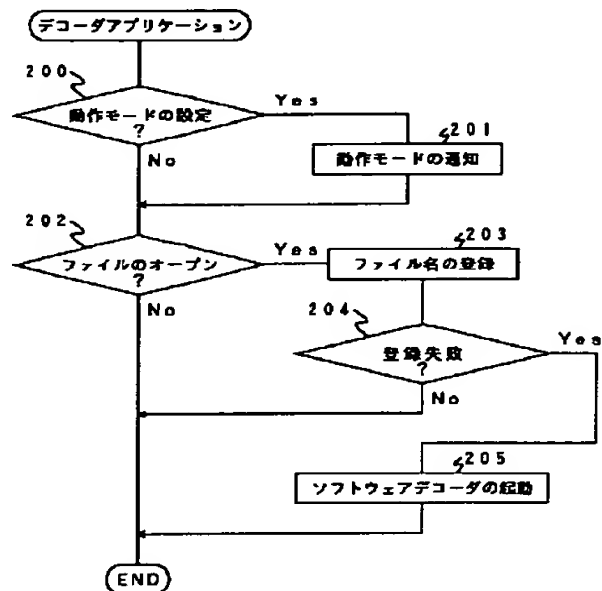
配列番号	ストリームID	動作モード	PTSオフセット	PTS初期値
0	ストリームID0	動作モード0	PTSオフセット0	PTS初期値0
1	ストリームID1	動作モード1	PTSオフセット1	PTS初期値1
2	ストリームID2	動作モード2	PTSオフセット2	PTS初期値2
3	ストリームID3	動作モード3	PTSオフセット3	PTS初期値3

10A

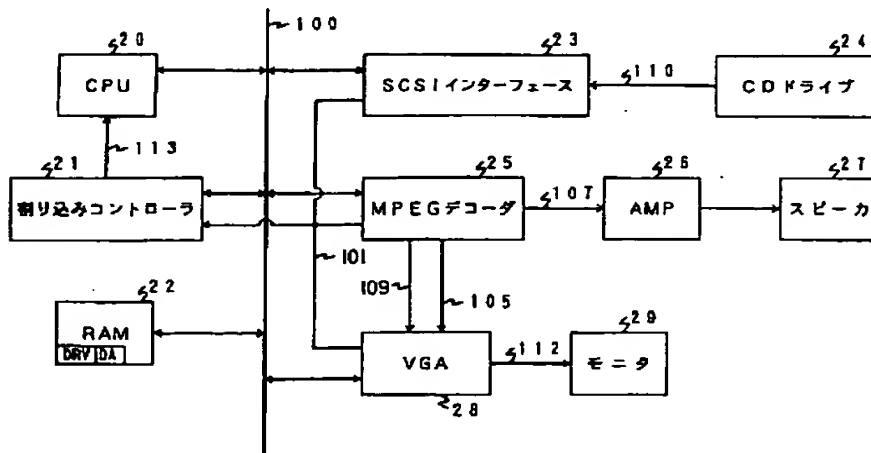
18

デコーダ、14-0、14-1、14-2、14-3…レコード情報レジスタ、15…デコード用バッファ、16…オーディオバッファ、17…オーディオデコーダ、18…STC (システムタイムクロック) モジュール、20…CPU、21…割り込みコントローラ、22…RAM、23…SCSIインターフェース、24…CDドライブ、25…MPEGハードウェアデコーダ、26…オーディオ増幅器 (AMP)、27…スピーカ、28…表示コントローラ (VGA)、29…モニタ、DRV…ストリームマルチプレクサドライバ、DA…ストリーム登録配列データ領域。

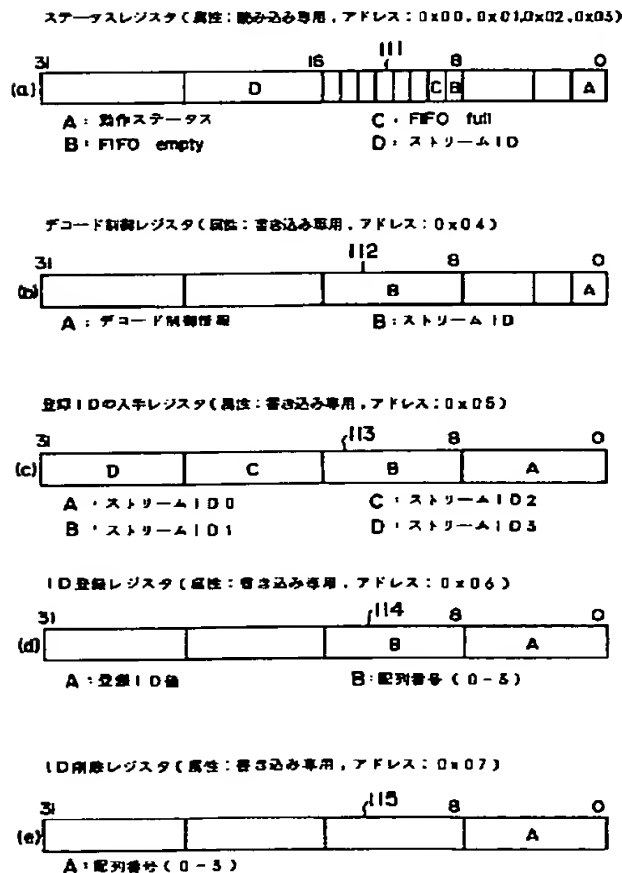
【図5】



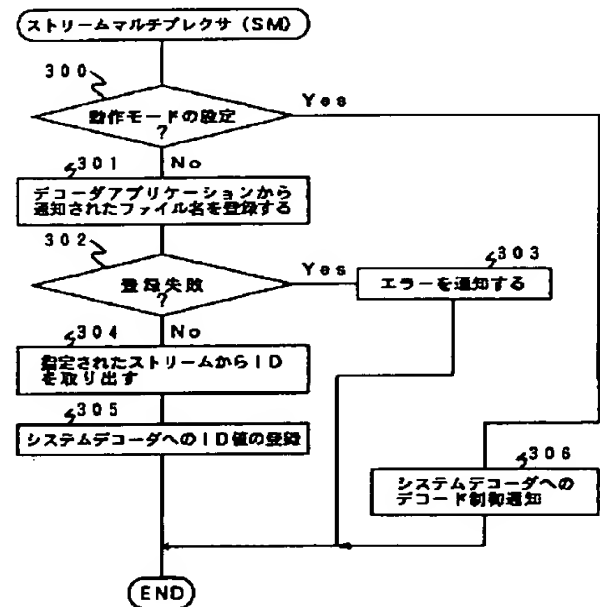
【図2】



【図4】



【図6】

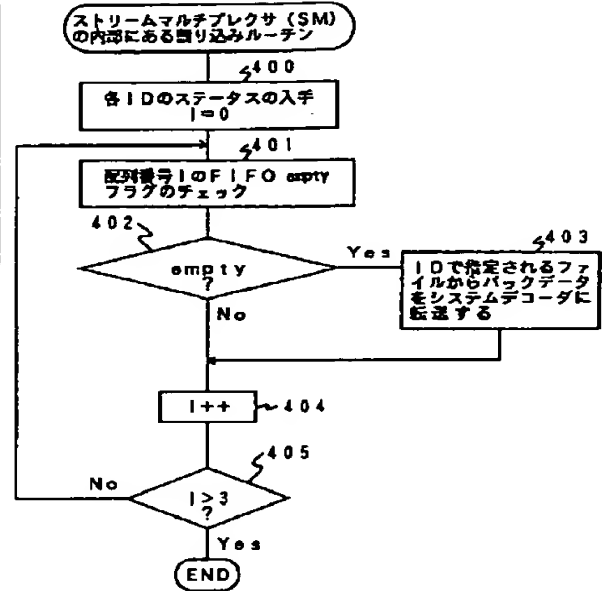


【図7】

配列番号	ファイル名	ストリームID	動作モード
0	ファイル名0	ストリームID0	動作モード0
1	ファイル名1	ストリームID1	動作モード1
2	ファイル名2	ストリームID2	動作モード2
3	ファイル名3	ストリームID3	動作モード3

DA

【図8】



【図9】

(a)

Syntax	No. of bits	Mnemonic
iso11172_stream() { do { pack() } while(nextbits()==pack_start_code) iso_11172_end_code }	32	bslbf

(b)

Syntax	No. of bits	Mnemonic
pack() { pack_start_code 0X000001BA '0010' system_clock_reference [32..30] marker_bit system_clock_reference [29..15] marker_bit system_clock_reference [14..0] marker_bit marker_bit marker_bit marker_bit mux_rate marker_bit if(nextbits()==system_header_start_code) system_header() while(nextbits()==packet_start_code_prefix) packet() }	32 4 3 1 15 1 15 1 1 1 22 1	bslbf bslbf bslbf bslbf bslbf bslbf bslbf bslbf bslbf bslbf uiesbf bslbf

【図10】

Syntax	No. of bits	Mnemonic
system_header() { system_header_start_code 0X000001B8 header_length marker_bit rate_bound marker_bit audio_bound fixed_flag CSPS_flag system_audio_lock_flag system_video_lock_flag marker_bit video_bound reserved_bytes while(nextbits()=='1' { stream_id '11' STD_buffer_bound_scale STD_buffer_size_bound } }	32 16 1 22 1 6 1 1 1 1 1 5 8 8 2 1 13	bslbf uiesbf bslbf uiesbf bslbf uiesbf bslbf bslbf bslbf bslbf bslbf uiesbf bslbf uiesbf bslbf bslbf uiesbf

【図11】

Syntax	No. of bits	Mnemonic
packet() {		
packet_start_code_prefix 0X000001	24	bslbf
stream_id	8	uimsbf
packet_length	16	uimsbf
if(stream_id!=private_stream_2) {		
while(nextbits()=='1111 1111')		
stuffing_byte	8	bslbf
if(nextbits()=='01') {		
'01'	2	bslbf
STD_buffer_scale	1	bslbf
STD_buffer_size	13	uimsbf
}		
if(nextbits()=='0010') {		
'0010'	4	bslbf
presentation_time_stamp[32..30]	3	bslbf
marker_bit	1	bslbf
presentation_time_stamp[29..15]	15	bslbf
marker_bit	1	bslbf
presentation_time_stamp[14..0]	15	bslbf
marker_bit	1	bslbf
}		
else if(nextbits()=='0011') {		
'0011'	4	bslbf
presentation_time_stamp[32..30]	3	bslbf
marker_bit	1	bslbf
presentation_time_stamp[29..15]	15	bslbf
marker_bit	1	bslbf
presentation_time_stamp[14..0]	15	bslbf
marker_bit	1	bslbf
'0001'	4	bslbf
decoding_time_stamp[32..30]	3	bslbf
marker_bit	1	bslbf
decoding_time_stamp[29..15]	15	bslbf
marker_bit	1	bslbf
decoding_time_stamp[14..0]	15	bslbf
marker_bit	1	bslbf
}		
} else '0000 1111'	8	bslbf
}		
for(i=0; i<N; i++) {		
packet_data_byte	8	bslbf
}		
}		